

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000196835 A**(43) Date of publication of application: **14.07.00**

(51) Int. Cl.

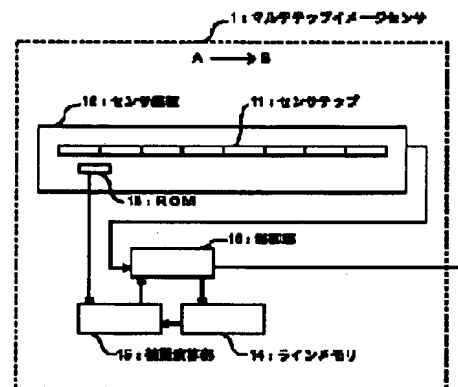
H04N 1/19**H04N 1/028**(21) Application number: **10369291**(22) Date of filing: **25.12.98**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor:
HAMAGUCHI TADAHICO
AOKI TORU
SAITO MASAYUKI(54) **MULTICHIP IMAGE SENSOR**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent drop-out of image information at document reading due to gap between sensor chips.

SOLUTION: This device is provided with a sensor substrate 12, where plural sensor chips 11 which have plural photoelectric transducers outputting the image signals corresponding to an image and read the image of a prescribed length to output the image signals corresponding to this are arranged on a line, a measuring means which measures gap information between plural sensor chips 11, and interpolation means 15 and 16 which interpolate image signals between sensor chips based on image signals outputted from photoelectric transducers and gap information measured by the measuring means.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196835

(P2000-196835A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 N	1/19	H 0 4 N	1 0 3 A
	1/028		5 C 0 5 1
			A
			5 C 0 7 2

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願平10-369291

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 浜口 忠彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 青木 遼

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

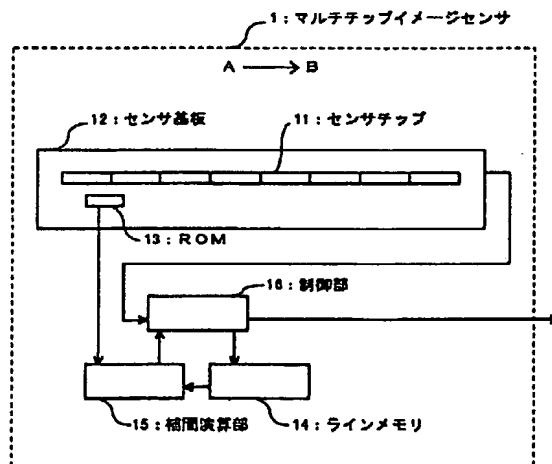
最終頁に続く

(54) 【発明の名称】 マルチチップイメージセンサ

(57) 【要約】

【課題】 センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することを目的とする。

【解決手段】 画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが一直線上に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間のギャップ情報を測定する測定手段と、上記光電変換素子から出力された画像信号と上記測定手段によって測定されたギャップ情報に基づいて上記センサチップ間の画像信号を補間する補間手段とを備えるものである。



【特許請求の範囲】

【請求項 1】 画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが一直線上に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間のギャップ情報を測定する測定手段と、上記光電変換素子から出力された画像信号と上記測定手段によって測定されたギャップ情報に基づいて上記センサチップ間の画像信号を補間する補間手段とを備えることを特徴とするマルチチップイメージセンサ。

【請求項 2】 上記センサ基板は、上記ギャップ情報が記憶された記憶手段を備え、上記補間手段は、上記記憶手段からギャップ情報を読み出すように構成されることを特徴とする請求項 1 に記載のマルチチップイメージセンサ。

【請求項 3】 上記補間手段は、上記複数のセンサチップから出力された上記画像信号を保持するラインメモリと、上記ギャップ情報と上記ラインメモリに保持された画像信号を用いて上記センサチップ間の画像信号を求める補間演算部と、上記画像信号の出力を制御する制御部とから構成されることを特徴とする請求項 1 又は請求項 2 のいずれかに記載のマルチチップイメージセンサ。

【請求項 4】 上記ラインメモリは上記センサチップ間のギャップ近傍の画像信号のみを保持することを特徴とする請求項 3 に記載のマルチチップイメージセンサ。

【請求項 5】 上記補間手段は、上記光電変換素子から出力される画像信号の出力時間を上記ギャップ情報に応じて延長させ、該延長された画像信号で上記センサチップ間の画像信号を補間する遅延回路で構成されることを特徴とする請求項 1 に記載のマルチチップイメージセンサ。

【請求項 6】 上記遅延回路は、上記光電変換素子から出力される画像信号の出力時間を延長させる遅延素子と、該遅延素子に接続されたスイッチと、上記ギャップ情報に応じて上記スイッチを制御するスイッチ制御部とを備えることを特徴とする請求項 5 に記載のマルチイメージセンサ。

【請求項 7】 画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが千鳥状に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間の重なり部分情報を測定する測定手段と、上記重なり部分情報に応じて上記光電変換素子の出力を停止させる停止回路とを備えることを特徴とするマルチチップイメージセンサ。

【請求項 8】 上記センサ基板は、上記重なり部分情報が記憶された記憶手段を備え、上記停止回路は、上記記憶手段から重なり部分情報を読み出すように構成されることを特徴とする請求項 7 に記載のマルチチップイメージセンサ。

【請求項 9】 上記停止回路は、上記画像信号を出力する光電変換素子に接続されたスイッチと、上記重なり部分情報に応じて上記スイッチを制御するスイッチ制御部とを備えることを特徴とする請求項 7 又は請求項 8 のいずれかに記載のマルチチップイメージセンサ。

【請求項 10】 上記測定手段は、センサチップ間を映像としてモニターするテレビカメラと、該テレビカメラがモニターした映像を取り込み、該映像に基づいて測定する計算機で構成されることを特徴とする請求項 1 ないし請求項 9 のいずれかに記載のマルチチップイメージセンサ。

【請求項 11】 上記測定手段は、テストチャートを読み取った際の画像信号に基づいて測定するように構成されることを特徴とする請求項 1 ないし請求項 9 のいずれかに記載のマルチチップイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像読取装置等に応用されるマルチチップイメージセンサに関するものである。

【0002】

【従来の技術】図 10 は従来のファクシミリ、スキャナなどの画像読取装置に使用されるマルチチップイメージセンサの構成を示す構成図である。1 はマルチチップイメージセンサ全体であり、例えば、特開平 4-79572 号公報に示されるように、複数のセンサチップにより大きな範囲の画像情報を読み取ることができる。

【0003】11 は数 mm から 10 数 mm 程度の長さのセンサチップであり、光電変換を行う複数のフォトダイオード（図示せず）が一直線上に配列され、該複数のフォトダイオードによりセンサチップの長さ分の画像情報を読み取る。12 は絶縁物でなるセンサ基板であり、該センサ基板の読み取りの走査方向と同一走査方向となるように複数の上記センサチップ 11 が一直線上に配置され、隣接するセンサチップ間が上記センサ基板 12 上で電気的に接続されている。

【0004】図 11 は図 10 に示したセンサチップ 11 のつなぎ合わせ部分の拡大図である。図 10 と同一又は相当部分に同一符号を付し、説明を省略する。210 は上記光電変換を行い画像信号を出力するフォトダイオードである。距離 x1 はセンサチップ C 端におけるフォトダイオードの中心位置とセンサチップ C 端面との距離、距離 x2 はセンサチップ D 端におけるフォトダイオードの中心位置とセンサチップ D 端面との距離である。ギャップ g は隣接するセンサチップ C 端面とセンサチップ D 端面間のギャップである。

【0005】このように構成される上記マルチチップイメージセンサ 1 において、最も A 側に位置する（以降、最 A 端と記す）センサチップ 11 にスタートパルスを与えると、各フォトダイオード 210 が光電変換を行うこ

とにより、各センサチップ11は、該各センサチップの長さ分だけ画像情報を読み取りながら、A側のセンサチップ11からB側方向へと順次走査してゆく。したがって、各センサチップ間でこれらの画像情報を電氣的になぎ合わせることににより、結果的に上記マルチチップイメージセンサ1があたかも1つのセンサチップで構成されているかのように使用することができ、マルチチップイメージセンサ全体としては、例えば、A4幅(210mm)を読み取ることができる。

【0006】

【発明が解決しようとする課題】しかしながら、従来のマルチチップイメージセンサは、センサチップ間にギャップ(間隔)が存在するため、その部分の原稿の画像情報が欠落してしまうという問題点があった。

【0007】上記ギャップgは、各センサチップ11がセンサ基板上にダイボンドされる際の精度で決まるが、例えば、図11において、ギャップg、距離x1及び距離x2が50μmであり、各フォトダイオード11が画素ピッチp=42.3μmのピッチで配列されているとする。この場合、センサチップCの最D端画素とセンサチップDの最C端画素の間隔はx1+x2+g=150μmとなり、画素ピッチ(p=42.3μm)から、センサチップ間で(150/42.3≒)3.5画素分ギャップが空いてしまうことになる。したがって、このマルチチップイメージセンサで原稿を読み取った場合、図11のギャップ部分では3.5画素分の原稿の画像情報が欠落することになる。

【0008】このようにセンサチップ間のギャップにより、その部分の原稿の画像情報が欠落するという問題点があり、このような問題点に対して、例えば、従来、特開昭61-128670号公報に開示されるように、イメージセンサ(センサチップ)の隣り合うそれぞれの最端の光電変換部(フォトダイオード)の間隔を所定の距離だけ分離して配置し、光電変換部を持たない接続部の疑似信号として隣接した光電変換部の信号を用いて補間するものがあった。しかし、光電変換部の間隔を正確に所定の距離だけ分離して配置することは困難であるため、光電変換部を持たない接続部の補間を高精度に行うことはできないという問題点があった。

【0009】この発明は上記のような問題点をを解決するためになされたもので、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することを目的とする。

【0010】

【課題を解決するための手段】この発明に係るマルチチップイメージセンサは、画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが一直線上に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間のギャップ情報を測定する

測定手段と、上記光電変換素子から出力された画像信号と上記測定手段によって測定されたギャップ情報に基づいて上記センサチップ間の画像信号を補間する補間手段とを備えるものである。

【0011】また、次の発明に係るマルチチップイメージセンサは、上記センサ基板は、上記ギャップ情報が記憶された記憶手段を備え、上記補間手段は、上記記憶手段からギャップ情報を読み出すように構成されるものである。

10 【0012】また、次の発明に係るマルチチップイメージセンサは、上記補間手段は、上記複数のセンサチップから出力された上記画像信号を保持するラインメモリと、上記ギャップ情報と上記ラインメモリに保持された画像信号を用いて上記センサチップ間の画像信号を求める補間演算部と、上記画像信号の出力を制御する制御部とから構成されるものである。

【0013】また、次の発明に係るマルチチップイメージセンサは、上記ラインメモリは上記センサチップ間のギャップ近傍の画像信号のみを保持するものである。

20 【0014】また、次の発明に係るマルチチップイメージセンサは、上記補間手段は、上記光電変換素子から出力される画像信号の出力時間を上記ギャップ情報に応じて延長させ、該延長された画像信号で上記センサチップ間の画像信号を補間する遅延回路で構成されるものである。

30 【0015】また、次の発明に係るマルチチップイメージセンサは、上記遅延回路は、上記光電変換素子から出力される画像信号の出力時間を延長させる遅延素子と、該遅延素子に接続されたスイッチと、上記ギャップ情報に応じて上記スイッチを制御するスイッチ制御部とを備えるものである。

【0016】さらにまた、次の発明に係るマルチチップイメージセンサは、画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが千鳥状に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間の重なり部分情報を測定する測定手段と、上記重なり部分情報に応じて上記光電変換素子の出力を停止させる停止回路とを備えるものである。

40 【0017】また、次の発明に係るマルチチップイメージセンサは、上記センサ基板は、上記重なり部分情報が記憶された記憶手段を備え、上記停止回路は、上記記憶手段から重なり部分情報を読み出すように構成されるものである。

【0018】また、次の発明に係るマルチチップイメージセンサは、上記停止回路は、上記画像信号を出力する光電変換素子に接続されたスイッチと、上記重なり部分情報に応じて上記スイッチを制御するスイッチ制御部とを備えるものである。

50 【0019】また、次の発明に係るマルチチップイメー

ジセンサは、上記測定手段は、センサチップ間を映像としてモニターするテレビカメラと、該テレビカメラがモニターした映像を取り込み、該映像に基づいて測定する計算機で構成されるものである。

【0020】また、次の発明に係るマルチチップイメージセンサは、上記測定手段は、テストチャートを読み取った際の画像信号に基づいて測定するように構成されるものである。

【0021】

【発明の実施の形態】実施の形態1. 図1は、本発明のマルチチップイメージセンサに係る実施の形態1の構成を示す構成図である。

【0022】図1において、1はマルチチップイメージセンサ全体であり、複数のセンサチップにより大きな範囲の画像を読み取り、読取画像に応じた画像信号を出力する。11はセンサチップであり、光電変換を行い画像に応じた画像信号を出力する光電変換素子であるフォトダイオード（図示せず）が一直線上に複数配列され、該複数のフォトダイオードによりセンサチップの長さ分の画像を読み取り、該画像に応じた画像信号を出力する。

12は絶縁物となるセンサ基板であり、該センサ基板の読み取りの走査方向と同一走査方向となるように上記センサチップ11が一直線上に複数配置され、隣接するセンサチップ間が該センサ基板12上で電氣的に接続されている。

【0023】13は記憶手段であるROM（リードオンリメモリ）であり、上記複数のセンサチップ11の各センサチップ間のギャップ情報が記憶されている。なお、ここでは、上記ギャップ情報は隣接するセンサチップ端面の実測値、すなわち、図11のセンサチップの間のギャップgであるとする。また、各センサチップのフォトダイオードはあらかじめ定められた位置に配置されており、各センサチップの最端におけるフォトダイオードの中心位置とセンサチップ端面との距離、すなわち、図11の距離x1、距離x2等の距離は、既定値であるとする。

【0024】14は上記複数のセンサチップ11から出力された画像信号を保持するラインメモリであり、ここでは、上記センサチップ間のギャップの近傍の画像信号のみを保持する。15は補間演算部であり、上記ROM13に記憶されている上記センサチップ間のギャップgと上記ラインメモリ14に保持された上記センサチップ間ギャップの近傍の画像信号を用いて線形補間を行いセンサチップ間の画像信号を求める。

【0025】16は制御部であり、上記補間演算部15で求められた画像信号の出力を制御する。ここでは、上記複数のセンサチップ11から出力された画像信号を入力し、該画像信号のうちセンサチップ間ギャップ近傍の画像信号のみを上記ラインメモリ14に保持させ、上記補間演算部15で求められた画像信号によって上記セン

サチップ間の画像信号を補間して読取画像に応じた画像信号を出力する。なお、本実施の形態1において補間手段は、上記ラインメモリ14、補間演算部15及び制御部16で構成される。

【0026】図2は上記各センサチップ11内部の回路を示す回路図である。21はフォトダイオードアレイであり、上記複数のフォトダイオード210が直線上に配列されている。22はマルチプレクサ回路であり、各フォトダイオード210に接続された複数のアナログスイッチ220で構成されており、各フォトダイオード210の画像信号を出力信号バッファ23に順次出力する。

【0027】24は上記複数のアナログスイッチ220を順次選択し、上記複数のフォトダイオードから上記画像信号を順次出力させる複数のシフトレジスタ回路である。ここでは、上記フォトダイオード210の個数と等しい段数のフリップフロップ240で構成されている。25はチップセレクト回路であり、上記出力信号バッファ23の出力を制御する。

【0028】26はクロックパルス端子であり、上記シフトレジスタ回路24に接続されている。27はスタートパルス端子、28はエンドパルス端子であり、各センサチップ11のスタートパルス端子27は各々隣接するセンサチップ11のエンドパルス端子28と接続されている。ここでは、図1における上記マルチチップイメージセンサ1の読み取り走査方向は矢印A-B方向であるとし、各センサチップ11も同様に矢印A-B方向に走査するように配置され、隣接するセンサチップ間において、A側のセンサチップのエンドパルス端子とB側のセンサチップのスタートパルス端子とがセンサ基板上で電氣的に接続されているとする。29は出力信号端子であり、図示しない出力信号バスに接続され、上記出力信号バッファ23から出力された画像信号を上記制御部16に入力する。

【0029】なお、マルチチップイメージセンサの解像度は一般的に、ファクシミリ用で200dpi（dot per inch）程度、スキャナ用で300～400dpi程度、さらに高解像度読取用途では600dpi以上となっているが、ここでは、フォトダイオードアレイは各フォトダイオードは画素ピッチp=42.3μmのピッチで配列され、等倍で読取解像度600dpiの性能を有する高解像度読取用途のものとする。

【0030】図3は、原稿を読み取る場合の密着イメージセンサユニットの構成を示す構成図であり、1は上記マルチチップイメージセンサ、2は読取対象である原稿、3は上記原稿2を照明する光源、4は上記原稿2の画像をマルチチップイメージセンサ1に結像するロッドレンズアレイである。

【0031】上記図3のように構成される密着イメージセンサユニットのマルチチップイメージセンサ1の動作について、上記図1、図2を用いて説明する。

【0032】まず、図1における最A端のセンサチップ11のスタートパルス端子27にスタートパルス信号を1クロック分の幅だけ供給するとともに、クロックパルス端子26にクロック信号を連続的に供給する。すると、上記スタートパルス信号に応じてチップセレクト回路25により出力信号バッファ23と出力信号端子29が接続されるとともに、上記連続的に供給されるクロック信号に応じて上記最A端のセンサチップ11のシフトレジスタ回路24のフリップフロップ240は、図2における矢印A-Bの方向に1つずつ順次オンとなる。

【0033】これに従ってマルチプレクサ回路22のアナログスイッチ220が順次オンとなり、この時間まで蓄積されていたフォトダイオード210内の蓄積電荷による画像信号がA側からB側方向へ順次取り出され、出力信号バッファ23及び図示しない出力信号バスを經由して制御部16に入力される。また、各フォトダイオード210は画像信号が取り出されると蓄積動作がリセットされた状態となり、次にこのフォトダイオード210に対応するアナログスイッチ220が選択されるまで電荷を蓄積する。

【0034】このように1つのセンサチップ11内でのフォトダイオード210をA側からB側方向へ走査し終わると、チップセレクト回路25により出力信号バッファ23と出力信号端子29が切断される。また、これと同時にエンドパルス端子28から出力されたエンドパルス信号は、該エンドパルス端子28と接続された隣接するセンサチップ11のスタートパルス端子27のスタートパルス信号となり、隣接するセンサチップ11が同様に順次動作する。このようにして、全てのフォトダイオードの蓄積電荷による画像信号は取り出され、画像信号が制御部16に入力される。

【0035】一方、制御部16では、上記各センサチップ11から出力された画像信号が順次入力され、所定のタイミングで出力される。このとき上記センサチップ間の各ギャップにおいては、センサチップ間ギャップ近傍の画像信号がラインメモリ14にも入力され、保持される。そして、補間演算部15において、上記ROM13に記憶されている上記ギャップgと上記ラインメモリ14に保持された上記センサチップ間ギャップの近傍の画像信号を用いて、上記ギャップgに応じた画素数の画像信号が線形補間により求められる。

【0036】ここで線形補間とは、上記ラインメモリ14に保持されたセンサチップ間ギャップの近傍の画素、例えば、両端の画素の画像信号を直線で結び、ギャップgに応じた画素数の画像信号を補間により求めるものである。また、ここでは、各センサチップのフォトダイオードはあらかじめ定められた位置に所定の画素ピッチで配置されているので、上記ギャップgに応じた画素数を求めることができる。

【0037】このようにして、上記センサチップ間の各

ギャップにおける画像信号が補間され、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができる。

【0038】次に、上記ROM13に記憶されるセンサチップの間のギャップgの測定について説明する。

【0039】図4は、センサチップ間のギャップgを測定する場合の測定手段の一例を示す構成図であり、ギャップ近傍を拡大して表示してある。図4において、5はセンサチップ間を映像としてモニターするテレビカメラ、6は上記テレビカメラ5がモニターした映像を取り込み、該映像に基づいてギャップgを測定する計算機である。

【0040】例えば、センサ基板上にセンサチップをダイボンダする際にセンサチップ間のギャップgを測定する場合は、ダイボンダの上部に上記テレビカメラ5を設置しておく。上記テレビカメラ5がダイボンダした直後のセンサチップ間のギャップ部分を撮影し、計算機6がその映像を取り込み、該映像に基づいてギャップgの長さを測定する。このようにして、センサチップ間のギャップgの長さを簡易に測定することができる。

【0041】以上のように、本実施の形態1におけるマルチチップイメージセンサによれば、センサチップ間のギャップをあらかじめ測定し、該センサチップ間のギャップの実測値と上記センサチップから出力された画像信号とを用いて求められた画像信号によって上記センサチップ間の画像信号を補間することにより、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

【0042】また、センサチップ間のギャップの実測値を記憶したROMをセンサ基板上に設置することにより、センサ基板上でセンサチップとセンサチップ間のギャップの実測値とが一体となるため、センサチップ及びROMを含むセンサ基板を別のセンサチップ及びROMを含むセンサ基板と置き換えても同様に使用することができるマルチチップイメージセンサが得られる。

【0043】また、上記複数のセンサチップから出力された画像信号を保持するラインメモリと、上記ギャップ情報と上記ラインメモリに保持された画像信号を用いて上記センサチップ間の画像信号を求める補間演算部と、上記画像信号の出力を制御する制御部とを備えることにより、上記センサチップ間のギャップの実測値と上記センサチップから出力された画像信号とを用いて求められた画像信号によって上記センサチップ間の画像信号を補間して、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

【0044】また、ラインメモリにセンサチップ間ギャップの近傍の画像信号のみを保持するように構成することにより、メモリを節約でき、かつ、回路構成を簡単に

することができるマルチチップイメージセンサが得られる。

【0045】また、測定手段として、センサチップ間を映像としてモニターするテレビカメラと、該テレビカメラがモニターした映像を取り込み、該映像に基づいて上記センサチップ間のギャップを測定する計算機を用いることにより、センサチップの間のギャップを簡易に測定することができるマルチチップイメージセンサが得られる。

【0046】なお、本実施の形態1においては、センサチップ間のギャップを記憶する記憶手段として、ROMを用いる場合について説明したが、記憶手段はこれに限定されるものではなく、ON/OFF状態を記憶するフューズ、ディップスイッチ等で置き換えても本実施の形態と同様の効果が得られる。

【0047】また、線形補間により画像信号を求める場合について説明したが、これに限定されるものではない。例えば、補間の対象となるラインデータ以外に、その前1ライン分又は前後2ライン分の画像データが必要であるが、主走査方向と副走査方向の近傍画素の画像信号を用いる2次元補間であってもよく、本実施の形態と同様の効果が得られる。

【0048】また、測定手段としてテレビカメラと計算機を用い、センサ基板上にセンサチップをダイボンドする際にセンサチップ間のギャップを測定する場合について説明したが、センサチップ間のギャップの測定はこれに限定されるものではない。例えば、上記測定手段は、テストチャートを読み取った際の画像信号に基づいてセンサチップ間のギャップを測定するように構成されてもよい。この場合、マルチチップイメージセンサが密着イメージセンサユニットに組み立てられてからでも測定可能である。図3に示す原稿のかわりに適当なテストチャートを置き、上記密着イメージセンサユニットに読み取らせ、その画像信号からセンサチップ間のギャップを測定する。

【0049】具体的なテストチャートとして、例えば、図5のような読取の主走査方向に反射率が線形に変化するテストチャートであるグレースケールチャートを使用する。あらかじめ上記密着イメージセンサユニットの各フォトダイオードの感度補正は行われているとして、このテストチャートを読み取った際の画像信号も主走査方向に線形に変化する。ただし、センサチップ間にはギャップが存在するためその部分だけは画像信号に不連続性が現れる。ここで、このテストチャートに関して主走査方向の長さに対するテストチャートの反射率の変化量が分かっているならば、読み取られた画像信号の不連続量から画素ピッチ単位でのギャップの長さを求めることができる。

【0050】また、例えば、テストチャートとして主走査方向からある角度だけ傾いた細い直線を読み取らせて

もよい。この場合もグレースケールチャートを使用する場合と同様に、センサチップ間のギャップ部分で上記直線は不連続となり、上記角度と不連続な部分の間隔がわかっているならば、同様にギャップの長さを求めることが可能である。

【0051】また、記憶手段であるROMに、センサチップ間のギャップ情報としてセンサチップの間のギャップの実測値が記憶され、各センサチップのフォトダイオードはあらかじめ定められた位置に所定の画素ピッチで配置されている場合について説明したが、上記センサチップ間のギャップ情報は、センサチップ間のギャップによって欠落する画像情報の量を求められるものであればよい。例えば、センサチップ間のギャップ情報は、センサチップの最端におけるフォトダイオードの中心位置から隣接するセンサチップの最端におけるフォトダイオードの中心位置までの距離であってもよい。この場合、各センサチップのフォトダイオードが所定の画素ピッチで配置されていれば、センサチップ間のギャップによって欠落する画像情報の量を求めることができる。なお、この距離は上記テストチャートを用いて容易に測定することができる。

【0052】また、シフトレジスタ回路は、複数のフリップフロップで構成される場合について説明したが、これに限定されるものではない。例えば、シフトレジスタ回路は、CCD (charge-coupled device) で形成されたFIFO (first-in first-out stack)、又は、DRAM (dynamic random access memory) で形成されたFIFOであってもよい。これらは、以降の実施の形態においても同様である。

【0053】実施の形態2、以上の実施の形態1では、補間演算部が求めた画像信号でセンサチップ間の画像信号を補間するようにしたものであるが、次に、補間手段として、遅延回路を用いる場合の実施の形態を示す。

【0054】図6は、本発明に係る本実施の形態2のマルチチップイメージセンサにおけるセンサチップ内部の回路を示す回路図である。図6において、図2と同一又は相当部分に同一符号を付し、説明を省略する。異なる点は、光電変換素子であるフォトダイオード210から出力される画像信号の出力時間を延長させ、該延長された画像信号でセンサチップ間の画像信号を補間する遅延回路を備えた点である。

【0055】本実施の形態において遅延回路は、複数の遅延素子であるフリップフロップ240と、該遅延素子であるフリップフロップ240のそれぞれに接続された複数のスイッチでなるスイッチ群30と、該スイッチ群30を経由した信号をエンドバルス端子28に出力するOR回路31である。ここでは、遅延素子であるフリップフロップ240は4段余分に設けられ、該フリップフロップの数に合わせてスイッチ群30は4つのスイッチa～dで構成される。

11

【0056】図7は、本実施の形態2のマルチチップイメージセンサの構成を示す構成図である。図7において、図1と同一又は相当部分に同一符号を付し、説明を省略する。17は、ROM13に記憶されたセンサチップ間のギャップgに基づいて、上記各センサチップ11のスイッチ群30を制御するスイッチ制御部である。

【0057】本実施の形態2におけるマルチチップイメージセンサ1も上記実施の形態1と同様に図3に示すように密着イメージセンサユニットの内部に配置され、原稿を読み取ることができるようになっている。本実施の形態2におけるマルチチップイメージセンサ1の動作について、図1、図6及び図7を用いて説明する。

【0058】まず、スイッチ制御部17がROM13に記憶されたセンサチップ間のギャップgを読み出し、該センサチップ間のギャップgに基づいて、センサチップ11のスイッチ群30を制御して、遅延素子であるフリップフロップ240の段数を調節する。例えば、あるセンサチップとその次のセンサチップとのギャップgによる画像情報の欠落が画素ピッチ単位で3画素である場合、スイッチ群30のa、b、dを開き、cを閉じるように制御することにより、フリップフロップ240は3段増加される。

【0059】その後、上記実施の形態1と同様に、図1における最A端のセンサチップ11のスタートパルス端子27にスタートパルス信号を1クロック分の幅だけ供給するとともに、クロックパルス端子26にクロック信号を連続的に供給する。すると、チップセレクト回路25により出力信号バッファ23と出力信号端子29が接続され、この時間まで蓄積されていたフォトダイオード210内の蓄積電荷による画像信号がA側からB側方向へ順次取り出され、出力される。

【0060】この時、センサチップ間のギャップ部分においては、増加されたフリップフロップ240によって、各センサチップ11における最終のフォトダイオード210から出力される画像信号の出力時間が延長される。すなわち、増加されたフリップフロップ240によって、エンドパルス端子28からのエンドパルス信号が上記センサチップ間のギャップgによる画像情報の欠落分遅延することとなり、該遅延分だけ信号の時間的間隔が空き、その間、出力信号端子29からは、各センサチップ11における最終のフォトダイオード210から出力された画像信号が出力される。

【0061】例えば、フリップフロップ240が3段増加された状態では、エンドパルス端子28からのエンドパルス信号は3画素分遅延し、各センサチップ11における最終のフォトダイオード210から出力された画像信号が3画素分出力される。

【0062】その後、増加されたフリップフロップ240の最終段まで達すると、チップセレクト回路25により出力信号バッファ23と出力信号端子29が切断さ

12

れ、それと同時にシフトレジスタ回路24の最終段のフリップフロップ240からエンドパルス信号が出力される。

【0063】このように、センサチップ間のギャップ部分においては、上記センサチップ間のギャップgに応じて、各センサチップ11における最終のフォトダイオード210から出力される画像信号の出力時間が延長され、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができる。

10 【0064】以上のように、本実施の形態2におけるマルチチップイメージセンサによれば、センサチップ間のギャップをあらかじめ測定し、該センサチップ間のギャップの実測値に基づいて各センサチップにおける最終のフォトダイオードから出力される画像信号の出力時間を延長させ、上記最終のフォトダイオードから出力された画像信号でセンサチップ間の画像信号を補間することにより、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

20 【0065】また、センサチップ間のギャップに基づいて、上記各センサチップのスイッチ群を制御するスイッチ制御部を備えることにより、センサチップの製造時に遅延素子であるフリップフロップの数を調節する必要が無いため、センサチップの製造を容易にすることができるマルチチップイメージセンサが得られる。

【0066】また、センサチップ間のギャップの実測値を記憶したROMをセンサ基板に設置することによって、センサ基板上でセンサチップとセンサチップ間のギャップの実測値とが一体となるため、センサチップ及びROMを含むセンサ基板を別のセンサチップ及びROMを含むセンサ基板と置き換えても同様に使用することができるマルチチップイメージセンサが得られる。

【0067】なお、本実施の形態2においては、スイッチ制御部がROMからセンサチップ間のギャップを読み出し、該ギャップに応じて、スイッチを制御することにより、シフトレジスタ回路の段数を調節する場合について説明したが、センサチップ間のギャップに応じてシフトレジスタ回路の段数が調節されればよく、これに限定されるものではない。例えば、上記センサチップ間のギャップに応じて、あらかじめフリップフロップとOR回路との配線をレーザによって切断しておいてもよい。この場合、ROMが不要となるため、マルチチップイメージセンサの構成をより簡単にすることができる。

40 【0068】また、シフトレジスタ回路は、複数のフリップフロップで構成され、遅延素子として該フリップフロップの数を増加させる場合について説明したが、これに限定されるものではない。例えば、シフトレジスタ回路は、CCD又はDRAMで形成されたFIFOで構成され、センサチップ間のギャップに応じてFIFOの長さを変化させるものであっても本実施の形態と同様の効

50

果を得ることができる。

【0069】また、センサチップ間の画像信号として、各センサチップ11における最終のフォトダイオード210から出力された画像信号で補間する場合について説明したが、例えば、本実施の形態2における各センサチップから出力される画像信号を図1における制御部に入力し、上記実施の形態1のようにセンサチップ間の画像信号を補間演算部によって求めた画像信号と置き換えて出力するようにしてもよい。この場合、本実施の形態2の構成に加え、上記制御部、補間演算部及びラインメモリが必要となるため、構成が複雑になるが、上記補間演算部により補間を行うため、高精度の画像信号を得ることができる。

【0070】実施の形態3。以上の2つの実施の形態では、複数のセンサチップを直線上に配列したものであるが、次に、複数のイメージセンサチップを千鳥状に配列するようにした場合の実施の形態を示す。

【0071】図8は、本発明に係るマルチチップイメージセンサの本実施の形態3の構成を示す構成図であり、複数のセンサチップ11が千鳥状に配列されたセンサチップ間の拡大図である。図8において、前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。なお、センサチップ11内部はフォトダイオード210のみを示してありその他の構成要素については省略してある。

【0072】図8に示すように、本実施の形態3においてはセンサチップが直線上ではなく、互いにずらして千鳥状に配置され、センサ基板全体としてはセンサチップが千鳥状に2列に配列されている。隣接するセンサチップ間は数画素分の長さに対応する複数のフォトダイオードの重なり部分が持たせてあり、ギャップ部分が生じないようにしている。

【0073】図9は、本実施の形態3のマルチチップイメージセンサにおけるセンサチップ内部の回路を示す回路図である。図9において、前述の実施の形態と同一又は相当部分に同一符号を付し、説明を省略する。異なる点は、上記重なり部分情報に応じて上記光電変換素子の出力を停止させる停止回路を備える点である。

【0074】本実施の形態3において、停止回路は、シフトレジスタ回路24の終段の複数のフリップフロップが出力する信号のうち1つを選択するスイッチ群30と、該スイッチ群30から入力される信号をエンドパルス端子28に出力するOR回路31と、上記重なり部分wに基づいて、センサチップ11のスイッチ群30を制御する図示しないスイッチ制御部17で構成される。またここでは、スイッチ群30は4つのスイッチa～dで構成され、上記シフトレジスタ回路24の終段の4段のフリップフロップ240とOR回路30との接続を開閉する。

【0075】本実施の形態3におけるマルチチップイメ

ージセンサ1も上記実施の形態1又は実施の形態2と同様に図3に示すように密着イメージセンサユニットの内部に配置され、原稿を読み取ることができるようになっている。本実施の形態3におけるマルチチップイメージセンサ1の動作について、図1、図8及び図9を用いて説明する。

【0076】まず、センサチップ間の重なり部分wを測定し、図示しないセンサ基板12上のROM13に記憶させる。測定手段は上記実施の形態1と同様であり、画素ピッチ単位での重なり部分wを測定する。

【0077】次に、図示しないスイッチ制御部17が上記ROM13に記憶された各センサチップ間の重なり部分wを読み出し、該重なり部分wに基づいて、センサチップ11のスイッチ群30を制御して、フリップフロップ240の段数を制限し、隣接するセンサチップ間で重複する画像信号を出力させないようにする。なお、ここでは、上記各センサチップ間の重なり部分wに基づいて、隣接するセンサチップ間における重複する画素数を求めることができるものとする。

【0078】その後、上記実施の形態1と同様に、図1における最A端のセンサチップ11のスタートパルス端子27にスタートパルス信号を1クロック分の幅だけ供給するとともに、クロックパルス端子26にクロック信号を連続的に供給する。すると、チップセレクト回路25により出力信号バッファ23と出力信号端子29が接続され、この時間まで蓄積されていたフォトダイオード210内の蓄積電荷による画像信号がA側からB側方向へ順次取り出され、出力される。

【0079】この時、各センサチップ間の重なり部分においては、上記のように制御されたスイッチ群30とOR回路31によって、該重なり部分の直前のフォトダイオード210から画像信号が出力される際にチップセレクト回路25により出力信号バッファ23と出力信号端子29が切断されるとともに、エンドパルス信号が次のセンサチップ11に送出され、重なり部分の画像信号が外部に出力されないようになる。

【0080】すなわち、上記スイッチ群30と上記OR回路31によって、上記4つのフリップフロップ出力のうち1つが選択され、その信号がエンドパルス端子28に出力されることにより、あらかじめ測定された隣接するセンサチップ間の重なり部分wに応じて、フリップフロップ240の動作する段数が制限され、隣接するセンサチップ間で重複する画像信号の出力が停止される。

【0081】これは、センサチップ間の重なり部分において、余分な画像信号が出力されることとなるのを防ぐためである。本実施の形態3では、センサチップ間の重なり部分において、原稿の画像を2度読みしていることになり、例えば、センサチップ間の重なり部分が3画素である場合、この部分で3画素分の余分な画像信号が出力されるためである。

【0082】このように、千鳥状に配置されたセンサチップから出力される画像信号のうちセンサチップ間の重なり部分においては、上記センサチップ間の重なり部分の長さに応じて、フリップフロップの段数が制限され、隣接するセンサチップ間で重複するフォトダイオード210が出力する余分な画像信号の出力が停止され、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるとともに、余分な画像情報が出力されないようにすることができる。

【0083】以上のように、本実施の形態3におけるマルチチップイメージセンサによれば、隣接するセンサチップ間が数画素分重なるように千鳥状に配置し、上記センサチップ間の重なり部分をあらかじめ測定し、該センサチップ間の重なり部分の実測値に基づいてシフトレジスタ回路の段数を制限して画像信号の出力を停止させることにより、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるのみならず、余分な画像情報を出力しないようにすることができるマルチチップイメージセンサが得られる。

【0084】また、センサチップ間の重なり部分の実測値を記憶したROMをセンサ基板上に設置することによって、センサ基板上でセンサチップとセンサチップ間の重なり部分の実測値とが一体となるため、センサチップ及びROMを含むセンサ基板を別のセンサチップ及びROMを含むセンサ基板と置き換えても同様に使用することができるマルチチップイメージセンサが得られる。

【0085】また、センサチップ間の重なり部分に基づいて、上記各センサチップのスイッチ群を制御するスイッチ制御部を備えることにより、センサチップの製造時にシフトレジスタの段数を調節する必要が無いため、センサチップの製造を容易にすることができるマルチチップイメージセンサが得られる。

【0086】なお、本実施の形態3においては、スイッチ制御部がROMからセンサチップ間の重なり部分を読み出し、該重なり部分に応じて、スイッチの開閉を制御することにより、フリップフロップの数を減少させる場合について説明したが、センサチップ間の重なり部分に応じてシフトレジスタ回路の段数が減少されればよく、これに限定されるものではない。例えば、上記センサチップ間の重なり部分に応じて、あらかじめフリップフロップとOR回路との配線をレーザによって切断しておいてもよい。この場合、ROMが不要となるため、マルチチップイメージセンサの構成をより簡単にすることができる。

【0087】また、シフトレジスタ回路は、複数のフリップフロップで構成される場合について説明したが、これに限定されるものではない。例えば、シフトレジスタ回路は、CCD又はDRAMで形成されたFIFOで構成されるものであっても本実施の形態と同様の効果を得ることができる。

【0088】また、記憶手段であるROMに、センサチップ間の重なり部分情報として画素ピッチ単位での重なり部分wの実測値が記憶され場合について説明したが、上記センサチップ間の重なり部分情報は、センサチップ間の重なり部分によって重複する画像情報の量を求められるものであればよく、例えば、隣接するセンサチップ端面間の距離であってもよい。なお、この距離はテレビカメラ及び計算機を用いて容易に測定することができる。

【0089】

【発明の効果】以上のように、この発明のマルチチップイメージセンサによれば、画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが一直線上に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間のギャップ情報を測定する測定手段と、上記光電変換素子から出力された画像信号と上記測定手段によって測定されたギャップ情報に基づいて上記センサチップ間の画像信号を補間する補間手段とを備えることにより、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

【0090】また、次の発明のマルチチップイメージセンサによれば、上記センサ基板は、上記ギャップ情報が記憶された記憶手段を備え、上記補間手段は、上記記憶手段からギャップ情報を読み出すように構成されることにより、センサ基板上でセンサチップとセンサチップ間のギャップ情報とが一体となるため、センサチップ及び記憶手段を含むセンサ基板を別のセンサチップ及び記憶手段を含むセンサ基板と置き換えても同様に使用することができるマルチチップイメージセンサが得られる。

【0091】また、次の発明のマルチチップイメージセンサによれば、上記補間手段は、上記複数のセンサチップから出力された上記画像信号を保持するラインメモリと、上記ギャップ情報と上記ラインメモリに保持された画像信号を用いて上記センサチップ間の画像信号を求める補間演算部と、上記画像信号の出力を制御する制御部とから構成されることにより、上記ギャップ情報と上記センサチップから出力された画像信号とを用いて求められた画像信号によって上記センサチップ間の画像信号を補間して、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

【0092】また、次の発明のマルチチップイメージセンサによれば、上記ラインメモリは上記センサチップ間のギャップ近傍の画像信号のみを保持することにより、メモリを節約でき、かつ、回路構成を簡単にすることができるマルチチップイメージセンサが得られる。

【0093】また、次の発明のマルチチップイメージセンサによれば、上記補間手段は、上記光電変換素子から

出力される画像信号の出力時間を上記ギャップ情報に応じて延長させ、該延長された画像信号で上記センサチップ間の画像信号を補間する遅延回路で構成されることにより、上記延長された画像信号によって上記センサチップ間の画像信号を補間して、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるマルチチップイメージセンサが得られる。

【0094】また、次の発明のマルチチップイメージセンサによれば、上記遅延回路は、上記光電変換素子から出力される画像信号の出力時間を延長させる遅延素子と、該遅延素子に接続されたスイッチと、上記ギャップ情報に応じて上記スイッチを制御するスイッチ制御部とを備えることにより、センサチップの製造時に遅延素子の数を調節する必要が無いため、センサチップの製造を容易にすることができるマルチチップイメージセンサが得られる。

【0095】さらにまた、次の発明のマルチチップイメージセンサによれば、画像に応じた画像信号を出力する複数の光電変換素子を有し、所定長の画像を読み取り、該画像に応じた画像信号を出力するセンサチップが千鳥状に複数配置されたセンサ基板と、上記複数のセンサチップのセンサチップ間の重なり部分情報を測定する測定手段と、上記重なり部分情報に応じて上記光電変換素子の出力を停止させる停止回路とを備えることにより、センサチップ間のギャップによる原稿読取時の画像情報の欠落を防止することができるのみならず、余分な画像情報を出力しないようにすることができるマルチチップイメージセンサが得られる。

【0096】また、次の発明のマルチチップイメージセンサによれば、上記センサ基板は、上記重なり部分情報が記憶された記憶手段を備え、上記停止回路は、上記記憶手段から重なり部分情報を読み出すように構成されることにより、センサ基板上でセンサチップとセンサチップ間の重なり部分情報とが一体となるため、センサチップ及び記憶手段を含むセンサ基板を別のセンサチップ及び記憶手段を含むセンサ基板と置き換えても同様に使用することができるマルチチップイメージセンサが得られる。

【0097】また、次の発明のマルチチップイメージセンサによれば、上記停止回路は、上記画像信号を出力する光電変換素子に接続されたスイッチと、上記重なり部分情報に応じて上記スイッチを制御するスイッチ制御部とを備えることにより、センサチップの製造を容易にすることができるマルチチップイメージセンサが得られる。

【0098】また、次の発明のマルチチップイメージセンサによれば、上記測定手段は、センサチップ間を映像としてモニターするテレビカメラと、該テレビカメラがモニターした映像を取り込み、該映像に基づいて測定する計算機で構成されることにより、センサチップの間の

ギャップを簡易に測定することができるマルチチップイメージセンサが得られる。

【0099】また、次の発明のマルチチップイメージセンサによれば、上記測定手段は、テストチャートを読み取った際の画像信号に基づいて測定するように構成されることにより、センサチップの間のギャップを簡易に測定することができるマルチチップイメージセンサが得られる。

【図面の簡単な説明】

10 【図1】 実施の形態1のマルチチップイメージセンサの構成を示す構成図である。

【図2】 実施の形態1のセンサチップの内部の回路を示す回路図である。

【図3】 密着イメージセンサユニットの構成を示す構成図である。

【図4】 測定手段の説明に供するテレビカメラと計算機の構成図である。

【図5】 測定手段の説明に供するテストチャートである。

20 【図6】 実施の形態2のセンサチップの内部の回路を示す回路図である。

【図7】 実施の形態2のマルチチップイメージセンサの構成を示す構成図である。

【図8】 実施の形態3のマルチチップイメージセンサの構成を示す構成図である。

【図9】 実施の形態3のセンサチップの内部の回路を示す回路図である。

【図10】 従来のマルチチップイメージセンサの構成を示す構成図である。

30 【図11】 従来のマルチチップイメージセンサのセンサチップのつなぎ合わせ部分の拡大図である。

【符号の説明】

1	マルチチップイメージセンサ	2	原稿
3	光源		
4	ロッドレンズアイ	5	テレビカメラ
6	計算機		
11	センサチップ	12	センサ基板
13	ROM		
14	ラインメモリ	15	補間演算部
16	制御部		
21	フォトダイオードアレイ	210	フォトダイオード
22	マルチプレクサ回路	220	アナログスイッチ
23	出力信号バッファ		
24	シフトレジスタ回路	240	フリップフロップ
25	チップセレクト回路	26	クロックパルス端子
27	スタートパルス端子	28	エンドパル

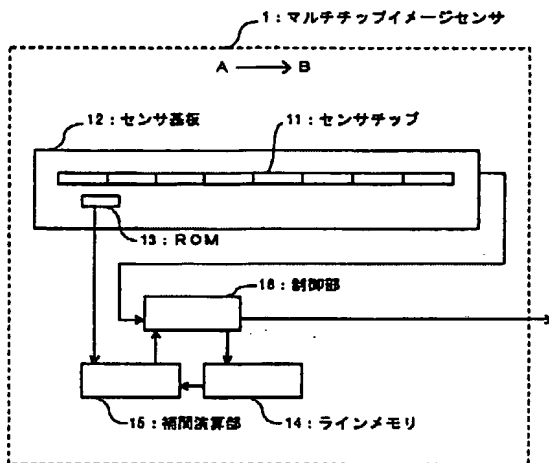
ス端子

* 31 OR回路

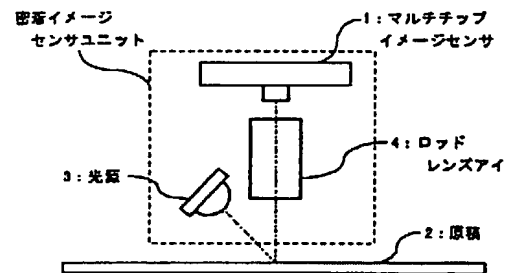
29 出力信号パルス端子

30 スイッチ *

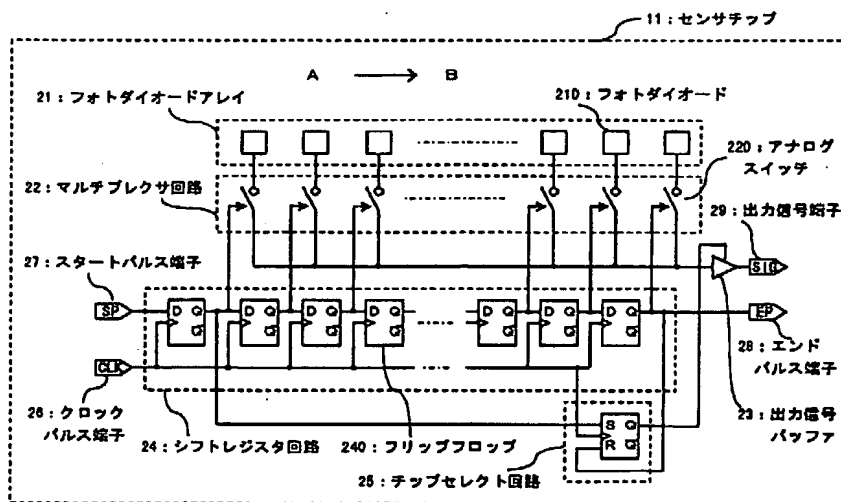
【図1】



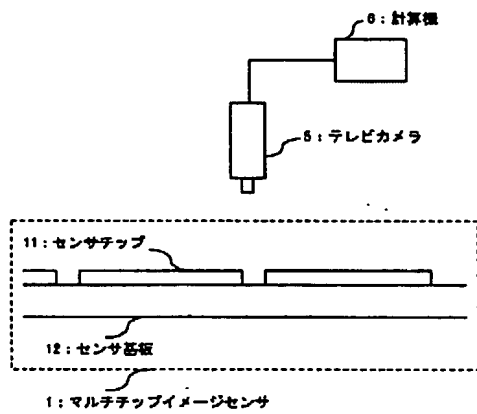
【図3】



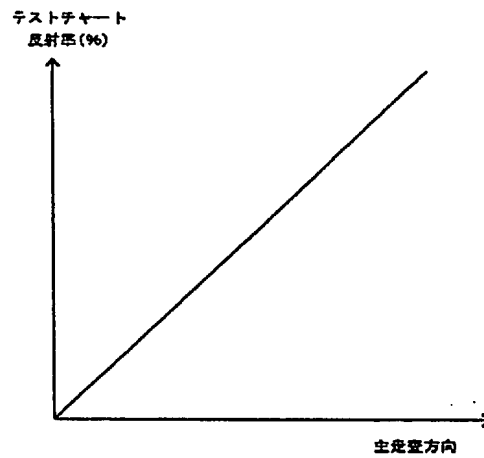
【図2】



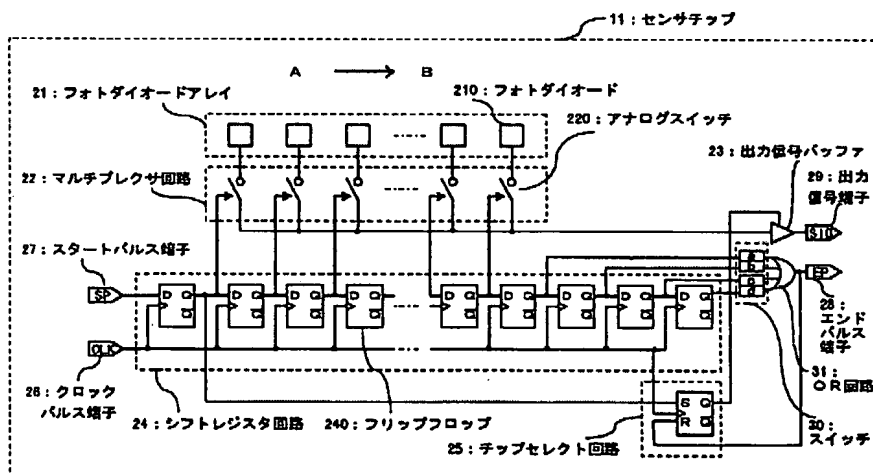
【図4】



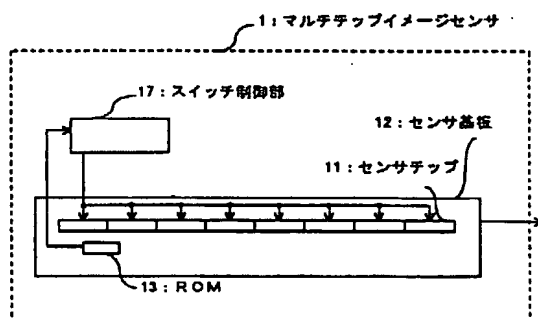
【図5】



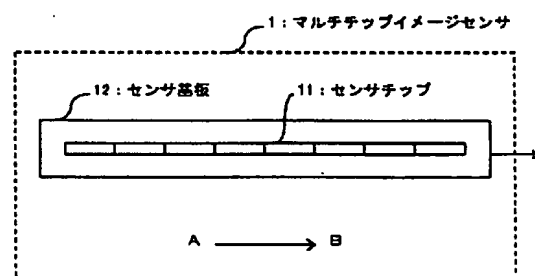
【図6】



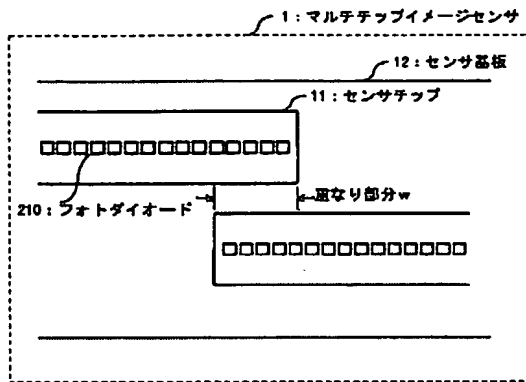
【図7】



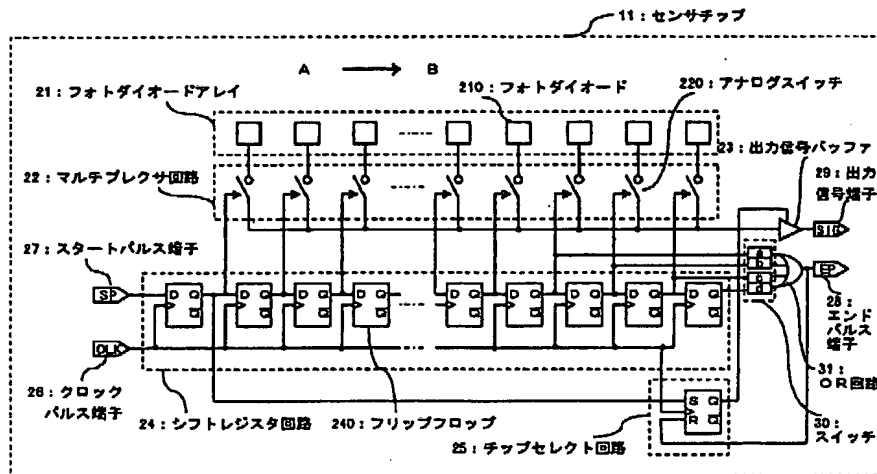
【図10】



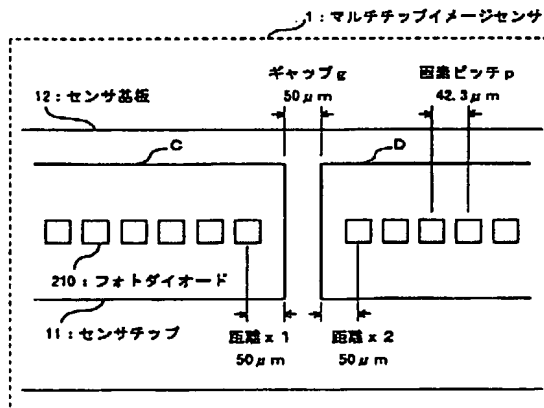
【図8】



【図9】



【図11】



フロントページの続き

(72)発明者 斎藤 雅行
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

F ターム(参考) SC051 AA01 BA03 DA02 DA03 DA09
DB01 DB04 DB07 DB09 DB11
DB35 DC02 DC03 DC07 DE12
DE13 DE23 EA03
SC072 AA01 BA17 EA05 FA07 FB03
RA10 UA20